
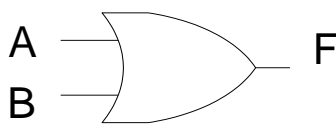
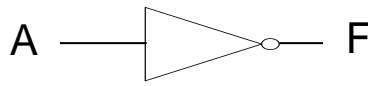
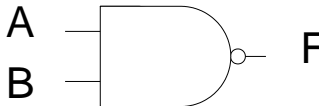
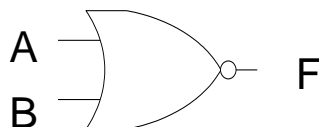
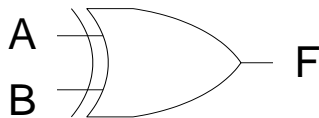
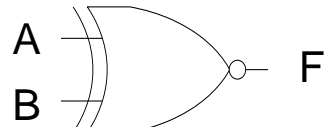
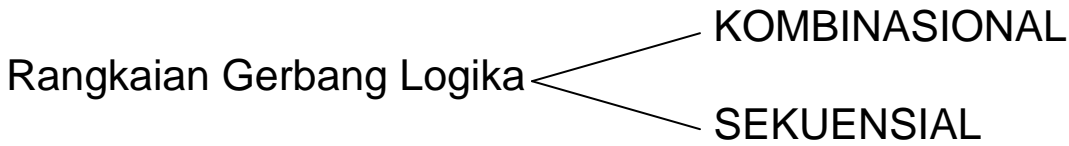


PRINSIP DAN PERANCANGAN RANGKAIAN LOGIKA

A. GERBANG LOGIKA

No.	FUNGSI	SIMBOL	TABEL		
			A	B	F
1	AND		A	B	F
			0	0	0
			0	1	0
			1	0	0
			1	1	1
2	OR		A	B	F
			0	0	0
			0	1	1
			1	0	1
			1	1	1
3	NOT		A	F	
			0	1	
			1	0	
4	NAND		A	B	F
			0	0	1
			0	1	1
			1	0	1
			1	1	0
5	NOR		A	B	F
			0	0	1
			0	1	0
			1	0	0
			1	1	0
6	X-OR		A	B	F
			0	0	0
			0	1	1
			1	0	1
			1	1	0
7	X-NOR		A	B	F
			0	0	1
			0	1	0
			1	0	0
			1	1	1

B. RANGKAIAN GERBANG LOGIKA



🔔 RANGKAIAN LOGIKA KOMBINASIONAL :

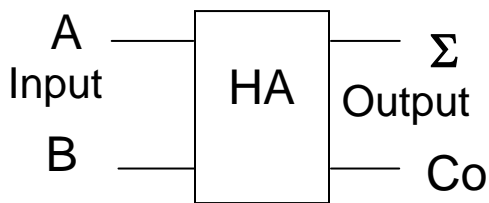
Outputnya bergantung pada keadaan nilai input pada saat itu saja.
 Piranti : Rangkaian gerbang OR - AND - NOT, decoder, adder, subtractor dan multiplexer.

RANGKAIAN ADDER :

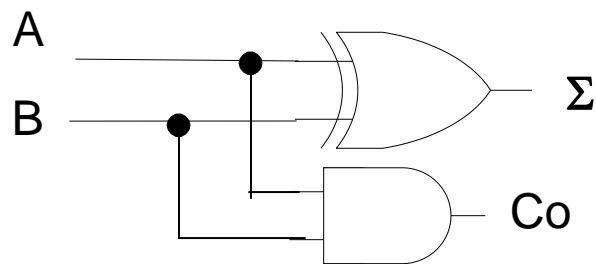
ADDER adalah rangkaian penjumlah, terdiri dari :

◆ HALF ADDER (2-bit)

Simbol logika :



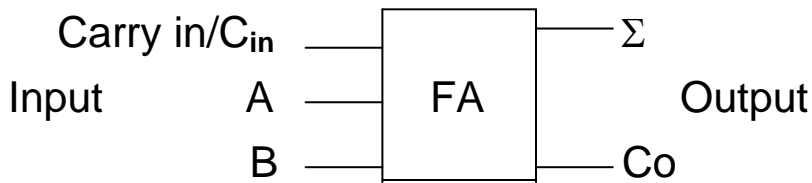
Rangkaian Logika :



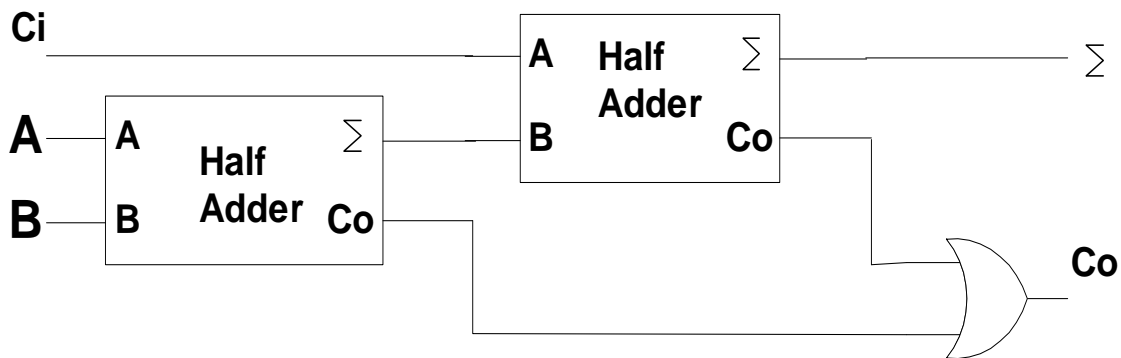
MASUKAN		KELUARAN	
A	B	JML (Σ)	Bawaan Keluar (Co)
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

◆ FULL ADDER (2-bit)

Simbol logika :



Rangkaian Logika :



MASUKAN			KELUARAN	
Cin	A	B	JML (Σ)	Bawaan Keluar (Co)
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

🔔 **RANGKAIAN LOGIKA SEKUENSIAL**

Outputnya tidak hanya bergantung pada nilai input saat itu, tetapi juga input-input sebelumnya (karakteristik memori).

Piranti : Flip-flop, register, dan counter.

Berdasarkan waktu sinyal, dibedakan menjadi :

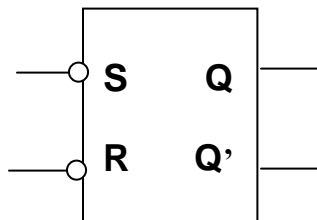
- Rangkaian sekuensial sinkron
Operasinya disinkronkan dengan pulsa waktu yang dihasilkan oleh pembangkit pulsa yang merupakan masukan bagi rangkaian. Keluaran akan berubah hanya setiap adanya masukan pulsa waktu, meskipun inputnya tidak berubah.
- Rangkaian sekuensial asinkron:
Operasinya hanya bergantung pada input, dan dapat dipengaruhi setiap waktu.

Flip-flop (FF) : perangkat bistabil, hanya dapat berada pada salah satu statusnya saja, jika input tidak ada, FF tetap mempertahankan statusnya. Maka FF dapat berfungsi sebagai memori 1-bit.

JENIS - JENIS FLIP-FLOP

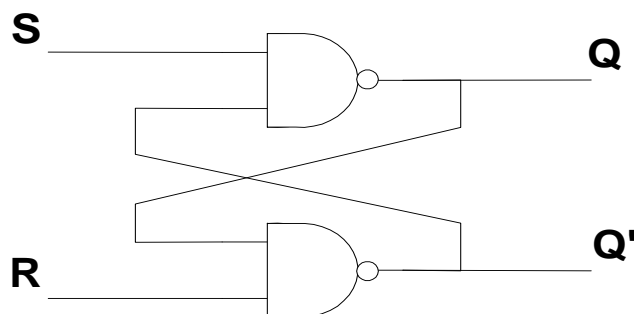
1. FF-RS (dirangkai dari NAND gate)

Symbol Logika :



Aktif Low

Rangkaian logika :



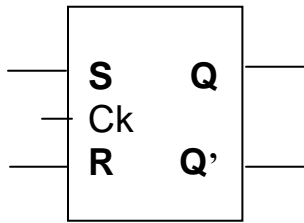
Tabel Kebenaran :

MODE OPERASI	MASUKAN		KELUARAN	
	S	R	Q	Q'
Larangan	0	0	1	1
SET	0	1	1	0
RESET	1	0	0	1
TETAP	1	1	tidak berubah	

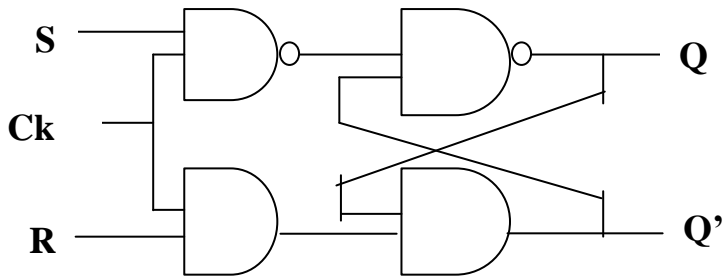
2. FF – RS berdetak

Dengan adanya detak akan membuat FF-RS bekerja sinkron atau aktif HIGH.

Simbol logika :



Rangkaian logika :



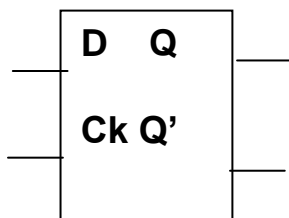
Tabel Kebenaran :

MODE OPERASI	MASUKAN			KELUARAN	
	Ck	S	R	Q	Q'
Tetap		0	0	tidak berubah	
Reset		0	1	0	1
Set		1	0	1	0
Terlarang		1	1	1	1

3. FLIP-FLOP D

Sebuah masalah yang terjadi pada Flip-flop RS adalah saat keadaan $R = 1$, $S = 1$ harus dihindarkan. Satu cara untuk mengatasinya adalah dengan mengizinkan hanya sebuah input saja. FF-D mampu mengatasi masalah tersebut.

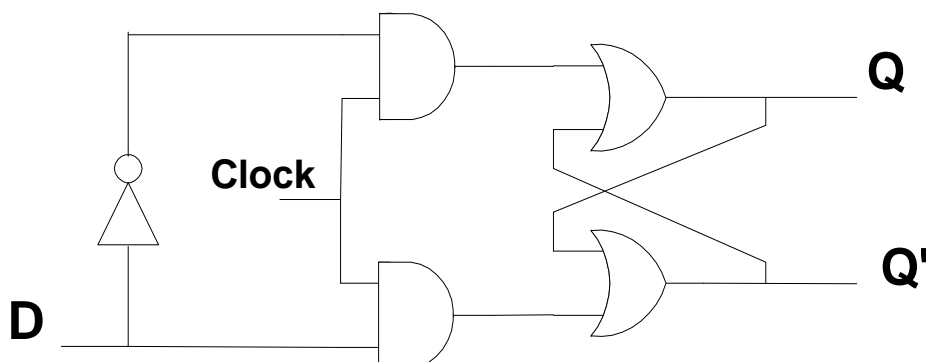
Simbol Logika :



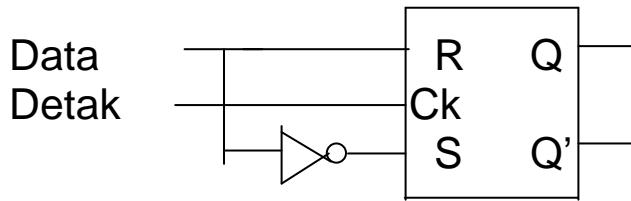
Tabel Kebenaran :

D	Q
0	0
1	1

Rangkaian logika :

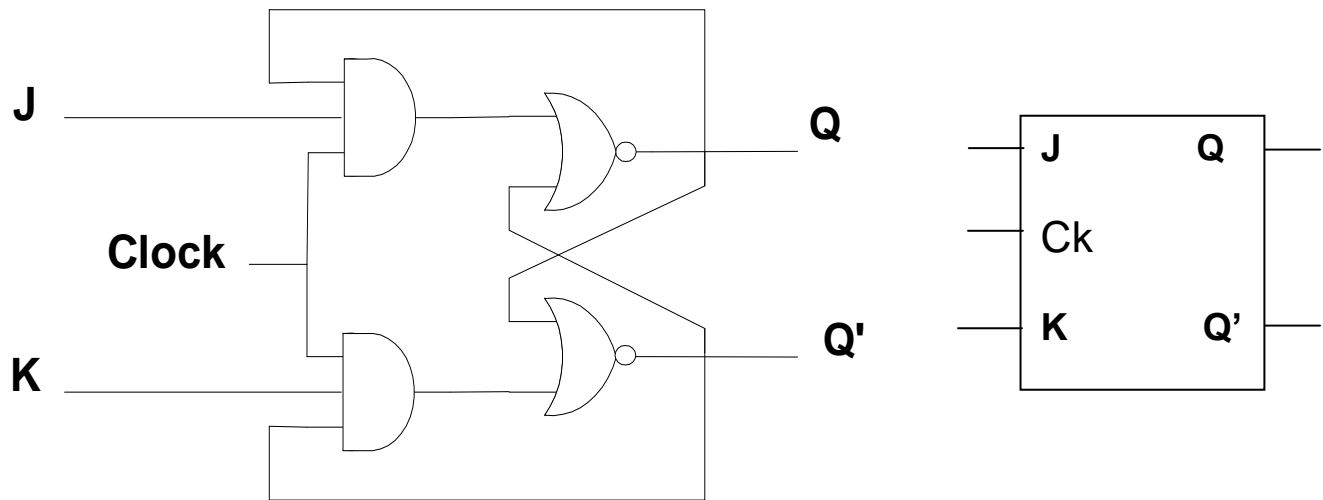


Dari gambar rangkaian gerbang FF_D di atas, maka simbol logika FF-D yang dirangkai dari FF_RS menjadi



4. FLIP-FLOP JK

Implementasi gate/rangkaian gerbang FF-JK dan simbol logikanya adalah seperti gambar berikut :



Tabel Kebenaran FF-JK :

Mode Operasi	Masukan			Keluaran	
	CK	J	K	Q	Q'
Tetap	↑	0	0	tidak berubah	
Reset	↑	0	1	0	1
Set	↑	1	0	1	0
Togel	↑	1	1	kondisi berlawanan	